

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 ✓

特開平9-311815

(43) 公開日 平成9年(1997)12月2日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 12/04

識別記号

5 1 0

庁内整理番号

F I

G 0 6 F 12/04

技術表示箇所

5 1 0 D

審査請求 有 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平8-334283

(22) 出願日 平成8年(1996)12月13日

(31) 優先権主張番号 1 9 9 5 4 9 3 3 9

(32) 優先日 1995年12月13日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 朱 鎮太

大韓民国ソウル特別市中區新堂洞333番地  
261號

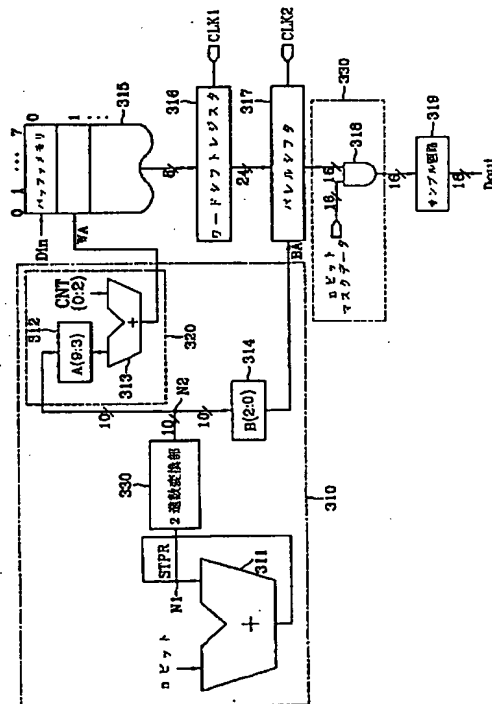
(74) 代理人 弁理士 志賀 正武 (外 2 名)

(54) 【発明の名称】 バッファメモリ制御装置

(57) 【要約】

【課題】 入力されるビットストリームの各サンプルを特定ビット単位で切って1つのワード単位で順次記憶したバッファメモリに関して、ビットストリームから各サンプルを分離及び抽出するバッファメモリ制御装置を提供すること。

【解決手段】 本発明によるバッファメモリ制御手段は、各サンプルに対応するビット数を累算したデータから各サンプルに対するワードアドレス及びビットアドレスを算出するサンプルポイント読出し手段310と、バッファメモリ315から前記ワードアドレスに対応するデータを入力し、最大割当ビットのデータを出力するワードシフトレジスタ316と、シフトレジスタ316の出力をビットアドレスに基づいてシフトして最大サンプルビットのデータとして出力するパレルシフタ317と、パレルシフタ317の出力をマスキングして最大サンプルビットのデータとして出力するマスキング回路330とを有して構成されている。



## 1

## 【特許請求の範囲】

【請求項 1】 ビットストリームで入力されるビット長さが互いに異なる各サンプルを特定ビットごとに切つてこの特定ビットのワードに順次に割り当てるバッファメモリから、該バッファメモリに記憶された各サンプルを分離及び抽出するためのバッファメモリ制御装置において、

前記バッファメモリに記憶されたビットストリームからそれぞれのサンプルに対応するビット数を累算したデータを検出し、この累算データからそれぞれのサンプルが始まるワードの位置情報であるワードアドレス、及び最初のワード内でサンプルが始まるビットの位置情報であるビットアドレスを検出するためのサンプルポイント読出し手段と、

前記バッファメモリから前記ワードアドレスに該当するデータを入力し、前記特定ビットずつ最大割当ワードに応じてシフトして最大割当ビットのデータを出力するワードシフトレジスタと、

前記シフトレジスタの出力を入力とし、前記ビットアドレスに基づいてシフトして最大サンプルビットのデータとして出力するパレルシフトと、

前記パレルシフトの出力を入力とし、前記サンプルに対応するビット数に基づいたマスクデータによりマスクングして最大サンプルビットのデータとして出力するマスクング回路とを有して構成されていることを特徴とするバッファメモリ制御装置。

【請求項 2】 前記マスクング回路の出力をサンプリングしてデータを出力するサンプル回路がさらに設けられていることを特徴とする請求項 1 記載のバッファメモリ制御装置。

【請求項 3】 前記サンプルポイント読出し手段は、それぞれのサンプルに対応するサンプルビット数を入力として累算し、初期には 0 に初期化されたデータを出力する累算手段と、

該累算手段の出力を入力とし、この累算データを前記特定ビットで除算した値を算出する除算算出手段と、

前記除算による商に 0 から前記最大割当ワードの数値だけカウントした値を加算してワードアドレスを発生する加算手段と、

前記除算算出手段における余りを読み出してビットアドレスを発生する手段とを有して構成されていることを特徴とする請求項 1 記載のバッファメモリ制御装置。

【請求項 4】 ビットストリームで入力されるビット長さが互いに異なる各サンプルを 8 ビットごとに切つて、8 ビットのワードに順次割り当てるバッファメモリから、該バッファメモリに記憶された各サンプルを分離及び抽出するためのバッファメモリ制御装置において、前記バッファメモリに記憶されたビットストリームからそれぞれのサンプルに対応するビット数を累算したデータを検出し、この累算データからそれぞれのサンプルが

## 2

始まるワードの位置情報であるワードアドレス、及び最初のワード内でサンプルが始まるビットの位置情報であるビットアドレスを検出するためのサンプルポイント読出し手段と、

前記バッファメモリから前記ワードアドレスに該当するデータを入力し、8 ビットずつ 3 回シフトして 24 ビットのデータを出力するワードシフトレジスタと、

前記シフトレジスタの出力を入力とし、前記ビットアドレスに基づいてシフトして 16 ビットのデータを出力するパレルシフトと、

前記パレルシフトの出力を入力とし、前記サンプルに対応するビット数に基づいたマスクデータによりマスクングして 16 ビットのデータを出力するマスクング回路と、

前記マスクング回路の出力をサンプリングしてデータを出力するサンプル回路とを有して構成されていることを特徴とするバッファメモリ制御装置。

【請求項 5】 前記サンプルポイント読出し手段は、それぞれのサンプルに対応するサンプルビット数を入力として累算し、初期には 0 に初期化されたデータを出力する累算手段と、

この累算データを 10 ビットの 2 進数データに変換する手段と、

前記 2 進数データを右に 3 回シフトした結果のデータを 10 進化したデータに、0 から 2 までカウントした値を加算して前記ワードアドレスを発生する加算手段と、

前記 2 進数データから下位 3 ビットのデータを 10 進化して、データのビットアドレスを発生する手段とを有して構成されていることを特徴とする請求項 4 記載のバッファメモリ制御装置。

【請求項 6】 前記サンプルポイント読出し手段は、それぞれのサンプルに対応するサンプルビット数を入力として累算し、初期には 0 に初期化されたデータを出力する累算手段と、

該累算手段の出力を入力とし、前記累算データを 8 で除算した値を算出する除算算出手段と、

前記除算の商に 0 から 2 までカウントした値を加算して前記ワードアドレスを発生する加算手段と、

前記除算算出手段における余りを読み出して前記ビットアドレスを発生する手段とを有して構成されていることを特徴とする請求項 4 記載のバッファメモリ制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はバッファメモリ制御装置に係り、特に、入力されるサンプルデータをメモリに順次割り当て、前記記憶されたサンプルデータを分離及び抽出するための制御装置に関するものである。

## 【0002】

【従来の技術および発明が解決しようとする課題】 一般に、デジタルオーディオデコーダを実現するにはバッ

## 3

ファリングとプロセッシングのための2つのメモリが必要である。図1は、従来の技術により入力されるビットストリームにおける各サンプルデータが割り当てられたメモリの構造を示すものである。

【0003】例えば、下記の表のようなビットストリー

2ビット	6ビット	3ビット	8ビット	1ビット
------	------	------	------	------

【0005】まず、メモリのサイズはサンプル周波数、ビットレート、フレーム当たりのサンプル数によって決定される。ここで、メモリサイズは8ビット×1024ワードと仮定する。そして、サンプルビット数は2～16ビットである。即ち、最大サンプルビット数は16ビットである。上記表のビットストリームを入力としたバッファメモリは1つのワードに1つのサンプルデータを記憶する。即ち、入力されるビットストリームからビット長さが互いに異なる各チャンネルサンプルを分離した各サンプルデータは、それぞれメモリの1つのワードに割り当てられる。このため、従来のメモリ割当においてはメモリ領域の浪費が大きいという問題点があった。

【0006】したがって、本発明の目的は、入力されるビットストリームの各サンプルを特定ビット単位で切って1つのワード単位で順次記憶したバッファメモリにおいて、前記ビットストリームから各サンプルを分離及び抽出するためのバッファメモリ制御装置を提供することにある。

【0007】

【課題を解決するための手段】このような目的を達成するために、本発明は、ビットストリームで入力されるビット長さが互いに異なる各サンプルを特定ビットごとに切ってこの特定ビットのワードに順次に割り当てるバッファメモリから、バッファメモリに記憶された各サンプルを分離及び抽出するためのバッファメモリ制御装置において、バッファメモリに記憶されたビットストリームからそれぞれのサンプルに対応するビット数を累算したデータを検出し、この累算データからそれぞれのサンプルが始まるワードの位置情報であるワードアドレス、及び最初のワード内でサンプルが始まるビットの位置情報であるビットアドレスを検出するためのサンプルポイント読出し手段と、バッファメモリから前記ワードアドレスに該当するデータを入力し、特定ビットずつ最大割当ワードに応じてシフトして最大割当ビットのデータを出力するワードシフトレジスタと、このシフトレジスタの出力を入力とし、ビットアドレスに基づいてシフトして最大サンプルビットのデータとして出力するバレルシフタと、このバレルシフタの出力を入力とし、前記サンプルに対応するビット数に基づいたマスクデータによりマスキングして最大サンプルビットのデータとして出力するマスキング回路とを有して構成されている。

【0008】

## 4

ムにおけるビット数が異なる5個のサンプルを8ビットワードメモリに記憶する場合について説明する。

【0004】

【表1】

【発明の実施の形態】以下、本発明の好ましい実施の形態を添付の図面を参照して詳細に説明する。図面において、同一の構成要素に対してはできるだけ同一の参照符号を付して説明する。ここで、“特定ビット”とはメモリの1つのワードに割り当てられる最大限のビット数を意味し、“最大サンプルビット”とはサンプルデータが最大に推出可能なビット数を意味し、“最大割当ワード”とは前記最大サンプルビットのワード数を意味する。つまり、本発明の実施の形態と関連して、前記特定ビットは8ビット、前記最大サンプルビットは16ビット、前記最大割当ワードは2ワードである。

【0009】図2は、本発明により入力されるビットストリームにおける各サンプルデータが割り当てられたメモリの構造を示す図である。図2は、図1のメモリと同じサイズを有しており、上記の表のような実施の形態のビットストリームが入力された際のメモリの構造図を示している。また、図1においては5ワードを占めるが、図2においては3ワードを占めている。このため、メモリの割当領域は無駄にされることなく全て用いられている。

【0010】しかし、図2に示すように記憶されたメモリにおいて各サンプルデータを分離し、且つそれぞれのサンプルデータを抽出して出力させる制御装置が必要となる。これは、サンプルデータの開始位置のワード及びビットを検出して、連続的に続いているビットストリームからサンプルデータを分離させなければならないからである。

【0011】図3は、本発明によるメモリに割り当てられた各サンプルデータを分離及び抽出するためのバッファメモリ制御装置を示すものである。ここで、メモリのサイズは8ビット×1024ワードに設定する。各サンプルの開始位置に対するビット位置情報であるビットアドレスBA及びワード位置情報であるワードアドレスWAを発生するためのサンプルポイント読出し部310は、初期には0に初期化されたデータを出力し、サンプルビット数(nビット)の入力を受けて累算する累算器311と、累算データSTPRを10ビットの2進数データに変換する2進数変換部330と、この2進数変換データを右に3回シフトし、その結果値を10進化したデータに0、1、2を順次に加算して出力するワードアドレス発生部320と、前記10ビットの2進数データから下位3ビットのデータを読み取って10進数データ

## 5

に変換して出力するビットアドレス発生部(B(2:0))314とから構成されている。

【0012】そして、ワードアドレス発生部320は、入力される10ビットのデータにおいて上位ビットから7ビットを読み取って出力する開始ワードアドレス発生部(A(9:3))312と、0と、0から2回(最大割当ワード数)順次カウントした1、2を開始ワードアドレス発生部(A(9:3))312の出力にそれぞれ加算して出力する加算器313とから構成されている。

【0013】従って、開始ワードアドレス発生部(A(9:3))312は10ビットのうち、9番目のビットから3番目のビットまでのデータを読み取って10進数に変換し、ビットアドレス発生部(B(2:0))314は10ビットのうち、2番目のビットから0番目のビットまでのデータを読み取って出力する。即ち、2進数変換部330とワードアドレス発生部320とビットアドレス発生部(B(2:0))314は、累算データSTPRを8で除算して得た商及び余りを読み出すためのものである。

【0014】ワードアドレスWAを入力としたバッファメモリ部315は、第1クロック信号CLK1に基づいてワードアドレスWAに該当するワードをワードシフトレジスタ316へ出力する。このとき、ワードシフトレジスタ316は、3つのクロック信号に基づいた3ワードのサンプルデータを順次入力とし、3ワードの24ビットデータを出力とする。ここで、ワードシフトレジスタ316が24ビットの最大割当ビットで実現されるのは、1つのサンプルが最小1つのワードから最大3つのワードにわたって記憶されるからである。

【0015】バレルシフタ(barrel shifter)317は、前記第1クロック信号CLK1より3倍の周波数で実現された第2クロック信号CLK2によって同期され、ビット開始位置情報のビットアドレスBAだけデータを左へシフトして16ビットのデータとして出力する。従って、バレルシフタ317から出力されるデータの一番左側のデータは各サンプルデータが始まるビットのデータである。

【0016】マスキング回路で構成される2進数変換部330は、前記バレルシフタ317のデータと、サンプルデータのビット数に基づいた16ビットのマスキングデータとを入力としたANDゲート318で構成される。また、出力データDoutは16ビットのサンプルデータである。

【0017】図4は、図3のバッファメモリ制御装置による信号データ処理の1つの実施の形態を示す図である。次に、図3及び図4を参照してビットストリームを記憶した図2のメモリにおいて4番目の8ビットのサンプルデータを分離して抽出する過程について説明する。サンプルビット数nビットを入力した累算器311はノードN1に累算データSTPRを印加する。8ビットの

## 6

サンプルデータが入力されるとき、累算器311から出力される累算データSTPRは11である。これを2進数変換部330によって2進化すると、0000001011である。この0000001011はノードN2に印加されて開始ワードアドレス発生部(A(9:3))312及びビットアドレス発生部(B(2:0))314に印加される。これにより、開始ワードアドレス発生部(A(9:3))312の出力データAは1になり、加算器313からの出力データであるワードアドレスWAは1、2、3になる。そして、ビットアドレス発生部(B(2:0))314の出力データBAは3になる。よって、ワードシフトレジスタ316は1、2、3番地の3つのワードデータを入力とする。次に、24ビットのデータはバレルシフタ317に印加される。そして、前記ビットアドレスBAの3だけ左へシフトして、前記8ビットのサンプルの最初のビットの位置のデータがバレルシフタ317の一番左側に位置する。また、ANDゲート318は、8ビット用マスクデータである1111111100000000に対して、バレルシフタ317の左側から16ビットのデータのみを抽出して論理積をとる。そうすると、ANDゲート318の出力データは8ビットのサンプルデータのみが出力されてサンプル回路319に印加され、サンプリングされて出力される。即ち、8ビットのデータが1番地のワードの3番地のビットから始まるのが、サンプルポイント読み出し部310によって検出される。このため、1番地ワードの3番地ビットから始まり、2番地ワードの2番地ビットで終了した8ビットサンプルデータのみが抽出される。

## 【0018】

【発明の効果】以上述べてきたように、本発明は、入力されるビットストリームを8ビットごとに切って8ビットワードメモリに記憶することにより、メモリのサイズを効率的に減らすことが可能であり、前記メモリに記憶されたサンプルを分離するために、サンプルポイントに各サンプルのビット数を累算し、これからメモリにおけるアドレスとワード内におけるサンプルの1番目のビットの位置を検出することが可能である。

## 【図面の簡単な説明】

【図1】 従来の技術により入力されるビットストリームにおける各サンプルデータが割り当てられたメモリの構造を示す図である。

【図2】 本発明により入力されるビットストリームにおける各サンプルデータが割り当てられたメモリの構造を示す図である。

【図3】 本発明によるメモリに割り当てられた各サンプルデータを分離及び抽出するためのバッファメモリ制御装置を示す図である。

【図4】 図3のバッファメモリ制御装置による信号データ処理の1つの実施の形態を示す図である。

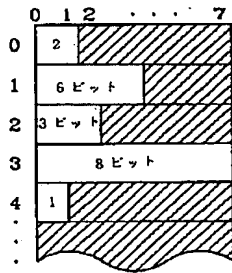
7

8

## 【符号の説明】

- |     |                       |     |            |
|-----|-----------------------|-----|------------|
| 310 | サンプルポイント読出し部          | 316 | ワードシフトレジスタ |
| 311 | 累算器                   | 317 | パレルシフタ     |
| 312 | 開始ワードアドレス発生部 (除算算出手段) | 318 | ANDゲート     |
| 313 | 加算器 (加算手段)            | 319 | サンプル回路     |
| 314 | ビットアドレス発生部            | 320 | ワードアドレス発生部 |
| 315 | バッファメモリ部              | 330 | マスキング回路    |

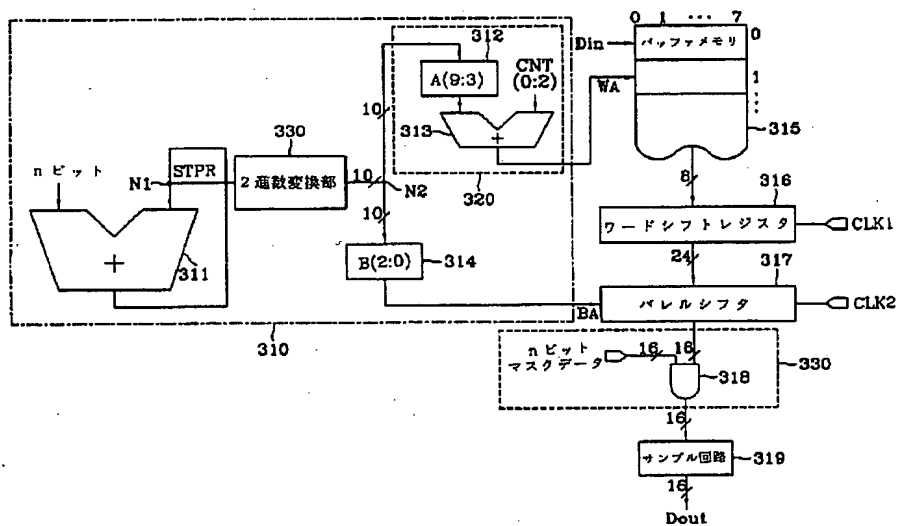
【図1】



【図2】



【図3】



【図4】

